

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-250740
 (43)Date of publication of application : 14.09.2001

(51)Int.Cl.

H01G 4/30

H01G 4/12

(21)Application number : 2000-063782

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 08.03.2000

(72)Inventor : HASEGAWA KOJI

TAKAGI GIICHI

KAWABATA KAZUAKI

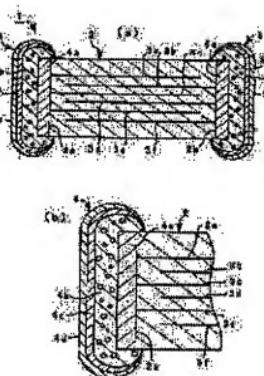
YONEDA YASUNOBU

(54) CERAMIC ELECTRONIC PARTS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide ceramic electronic parts whose sintered ceramic body can release the thermal shock given to the body when the heat of solder, etc., is applied to the body, hardly cause cracks, etc., and has a high moisture resistance.

SOLUTION: External electrodes 4 and 5 formed on the external surface of the sintered ceramic body 2 respectively have compact first sintered metallic layers 4a and 5a formed on the external surface of the body 2 and having porosity of ≥ 10 , porous second sintered metallic layers 4b and 5b formed on the layers 4a and 5a and having porosity of 20-35%, and plated layers 4c and 5c formed directly on the layers 4b and 5b.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願番号

特開2001-250740

(P2001-250740A)

(43)公開日 平成13年9月14日(2001.9.14)

(51)Int.Cl. ¹	類別記号	F I	△-7コ-ト(参考)
H 01 G 4/30	3 0 1	H 01 G 4/30	3 0 1 F 5 E 0 0 1
4/12	3 5 2	4/12	3 5 2 5 E 0 8 2

審査請求 未請求 請求項の数3 O L (全6頁)

(21)出願番号 特願2000-63782(P2000-63782)

(22)出願日 平成12年3月8日(2000.3.8)

(71)出願人 000006231

株式会社村田製作所
京都府長岡市天神二丁目28番10号

(72)発明者 長谷川 幸二

京都府長岡市天神二丁目28番10号 株式
会社村田製作所内

(73)発明者 高木 義一

京都府長岡市天神二丁目28番10号 株式
会社村田製作所内

(74)代理人 100006597

弁理士 宮▼馬▲主税

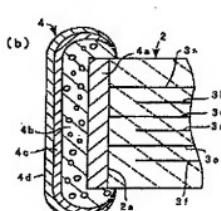
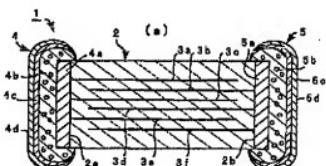
最終頁に続く

(54)【発明の名称】セラミック電子部品

(57)【要約】

【課題】半田等の熱が加わった際のセラミック焼結体に与えられる熱衝撃を緩和することができ、セラミック焼結体のクラック等が生じ難く、耐温性においても優れたセラミック電子部品を提供する。

【解決手段】セラミック焼結体2の外表面に外部電極4、5が形成されており、各外部電極4、5が、セラミック焼結体2の外表面に形成された空隙率が10%以上と過密な第1の焼結金属層4a、5aと、第1の焼結金属層4a、5a上に形成されており、空隙率が20~35%のボーラスを第2の焼結金属層4b、5bと、第2の焼結金属層4b、5b上に直接形成されたメッキ層4c、5cとを有する、セラミック電子部品。



【特許請求の範囲】

【請求項1】 セラミック焼結体と、
前記セラミック焼結体の外表面に形成された複数の外部電極とを備え、
前記外部電極が、セラミック焼結体外表面に形成されており、空隙率が10%以下である緻密な第1の焼結金属層と、
前記第1の焼結金属層上に形成されており、空隙率が2.0~3.5%の範囲にあるポーラスな第2の焼結金属層と、
前記第2の焼結金属層上に形成されたメッキ層とを備えることを特徴とする、セラミック電子部品。

【請求項2】 前記第2の焼結金属層の厚みが3.0μm以上である、請求項1に記載のセラミック電子部品。
【請求項3】 前記第1の焼結金属層及び第2の焼結金属層の合計厚みに対し、第2の焼結金属層の厚みが4.0%以上であることを特徴とする、請求項1または2に記載のセラミック電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば積層コンデンサなどのセラミック電子部品に関し、より詳細には、セラミック焼結体外表面に形成された外部電極が改良されたセラミック電子部品に関する。

【0002】

【従来の技術】従来、積層コンデンサなどのチップ型セラミック電子部品では、セラミック焼結体外表面に外部電極が形成されている。積層コンデンサがプリント回路基板上に実装されている状態を図2に示す。

【0003】図2において、積層コンデンサ1は、セラミック焼結体52を有する。セラミック焼結体52内には、複数の内部電極53a~53fがセラミック層を介して重なり合うように形成されている。セラミック焼結体52の一方の端面52aを覆うように外部電極54が形成されており、端面52aと反対側の端面52bを覆うように外部電極55が形成されている。外部電極54、55は、それぞれAgペーストなどの金属ベーストを塗布し、焼き付けることにより形成された焼結金属層54a、55aを有する。焼結金属層54a、55aの外表面には、Agの半田堆ねれの防止のために、Niメッキ層54b、55bが形成されている。Niメッキ層54b、55bの外表面には、半田付け性を高めるために、Snメッキ層54c、55cが形成されている。

【0004】上記積層コンデンサ1では、プリント回路基板57上の電極パターン58a、58bに半田59a、59bを介して外部電極54、55が接続される。ところが、外部電極54、55が緻密であるため、実装時の半田の熱がセラミック焼結体52に伝わり易い。他方、セラミック焼結体52の熱伝導性は、外部電極5

4、55に比べて低い。従って、セラミック焼結体52に外部電極54、55から実装時に伝えられた熱が加わり、セラミック焼結体52が大きな熱衝撃を受ける。そのため、図2に矢印A、Bで示すように、セラミック焼結体52のコーナー部分において、外部電極54、55に近接する部分にクラックが生じることがあった。

【0005】上記のような実装時の熱衝撃等に起因するクラックを防止するために、セラミック電子部品の外部電極を、緻密な焼結金属層-ポーラスな焼結金属層-緻密な焼結金属層-メッキ層からなる積層構造で構成することが提案されている。すなわち、ポーラスな焼結金属層を緻密な焼結金属層間に介在させることにより、焼結体側への熱伝導性を低下させて、上記熱衝撃を緩和する方法が知られている。

【0006】

【明細書に記載された課題】しかしながら、上記積層構造では、ポーラスな焼結金属層の外側に再度緻密な焼結金属層が形成されている。従って、ポーラスな焼結金属層上に焼結金属層を形成することにより、ポーラスな焼結金属層上の空隙が詰められ、やはり外部電極の熱伝導性が高くならざる得なかった。そのため、図2に示した積層コンデンサ1の場合と同様に、実装時の半田の熱がセラミック焼結体に伝わり、セラミック焼結体において熱衝撃によりクラックが生じることがあった。

【0007】本発明の目的は、上述した従来技術の欠点を解消し、外部電極を通して伝えられる熱によるセラミック焼結体の熱衝撃に起因するクラックや破損等を防止することができ、かつ耐湿性を損なうことがないセラミック電子部品を提供することにある。

【0008】

【課題を解決するための手段】本発明に係るセラミック電子部品は、セラミック焼結体と、前記セラミック焼結体の外表面に形成された複数の外部電極とを備え、前記外部電極が、セラミック焼結体外表面に形成されており、空隙率が10%以下である緻密な第1の焼結金属層と、前記第1の焼結金属層上に形成されており、空隙率が2.0~3.5%の範囲にあるポーラスな第2の焼結金属層と、前記第2の焼結金属層上に形成されたメッキ層とを備えることを特徴とする。

【0009】好ましくは、上記ポーラスな第2の焼結金属層の厚みは3.0μm以上とされる。また、好ましくは、上記第1、第2の焼結金属層の合計厚みに対し、ポーラスな第2の焼結金属層の厚みは4.0%以上とされる。

【0010】

【発明の実施の形態】以下、図面を参照しつつ、本発明の具体的な実施例を説明することにより、本発明を明らかにする。

【0011】図1(a)及び(b)は、本発明の一実例に係るセラミック電子部品としての積層コンデンサの

断面図及び要部を拡大して示す部分切欠断面図である。積層コンデンサ1は、誘電体セラミックスよりなるセラミック焼結体2を用いて構成されている。セラミック焼結体2は、直方体状の形状を有し、対向し合う第1、第2の端面2a、2bを有する。

【0012】セラミック焼結体2内には、内部電極3a～3fがセラミック焼結体層を介して重なり合うように配置されている。内部電極3a、3c、3eは端面2aに引き出されており、内部電極3b、3d、3fは端面2bに引き出されている。

【0013】端面2a、2bを覆うように、第1、第2の外部電極4、5がそれぞれ形成されている。外部電極4、5は、それぞれ、端面2a、2bを覆うように形成された第1の焼結金属層4a、5aと、第1の焼結金属層4a、5a上に形成されたポーラスな第2の焼結金属層4b、5bと、第2の焼結金属層4b、5b上に形成された第1のメッキ層4c、5cと、第1のメッキ層4c、5c上に形成された第2のメッキ層4d、5dとを有する。

【0014】第1の焼結金属層4a、5aは、緻密な焼結金属層であり、ここで緻密とは、空隙率が10%以下であることを示す。また、ポーラスな第2の焼結金属層4b、5bは、空隙率が20～35%の範囲とされている。

【0015】第1のメッキ層4c、5cは、焼結金属層4a、5a、4b、5bの半田吹われを防止するために設けられており、例えばNiなどにより構成され、第2のメッキ層4d、5dは、実際に際しての半田付け性を高めるための易半田付け性金属材料により構成されている。本実施例では、第2のメッキ層4d、5dは、Snからなる、もともと、Snに代えて、PbやSn-Pb合金などの易半田付け性金属材料を適宜用いることができる。

【0016】本実施例では、第1の焼結金属層4a、5aは、Agベースの塗布、焼付けにより形成されており、第2の焼結金属層4b、5bは、Agを主体とする導電ペーストを塗布し、焼き付けることにより形成されている。なお、空隙率については、後述の様々な方法で調整することができる。

【0017】積層コンデンサ1では、ポーラスな焼結金属層4b、5bの外表面に直接メッキ層4c、4dが形成されているので、焼結金属層4b、5bの空隙が殆ど埋められない。従って、ポーラスな第2の焼結金属層4b、5bの存在により、外部電極4、5の伝熱導性が低められており、それによって外部からの熱がセラミック焼結体2層へ伝わることを確実に抑制することができる。

【0018】なお、上記ポーラスな第2の焼結金属層4b、5bを形成する方法は特に限定されず、例えば、Agを主体とする導電ペーストを用いる場合、該導電ペー

スト中に、Agの焼結温度では焼結しないPdやPtなどを、すなわち導電ペーストの主成分金属よりも高融点の金属粉末を含有させておく方法、あるいは導電ペースト中に焼付けにより飛散するカーボン粉未やセルロース系粉末などを混合しておく方法、あるいは導電ペースト中のガラスフリットの含有割合を高める方法など、適宜の方法を用いることができる。

【0019】次に、具体的な実験例につき説明する。長さ3.0、幅1.5×厚み1.0mmのチタン酸バリウム系セラミックスからなるセラミック焼結体2内には、複数の内部電極が、80層積層されている。なお、内部電極材料としては、Agベーストを用いた。

【0020】次に、上記セラミック焼結体2の端面2a、2bを覆うように、Ag粉未と、ガラスフリットと有機ビニルとを含む導電ペーストを用い、730°Cの温度で焼付け、5.0μmの厚みの第1の焼結金属層4a、5aを形成した。

【0021】次に、第1の焼結金属層4a、5a上に、Ag粉未95重量%及びPd粉未5重量%と、ガラスフリットと有機ビニルとを含む導電ペーストを塗布し、730°Cの温度で焼付け、厚み3.0μmの第2の焼結金属層4b、5bを形成した。この時、外部電極4、5の空隙率を以下の要領で測定した。すなわち、外部電極4、5をセラミック焼結体2の厚み方向に沿って3箇所で切断し、得られた各断面の走査型電子顕微鏡写真により各断面における空隙と空隙以外の部分の面積を求め、空隙率(%) = (空隙の面積/断面の面積) × 1000を求め、3つの断面の空隙率の平均値を求めた。この平均値を本発明における空隙率とした。その結果、第1の焼結金属層4a、5aの空隙率は8%であり、第2の焼結金属層4b、5bの空隙率は25%であった。

【0022】上記積層コンデンサの第2の焼結金属層4b、5bの外表面に、Niからなる第1のメッキ層4c、5c及びSnからなる第2のメッキ層4d、5dをそれぞれ2.2μm及び5.0μmの厚みに形成し、外部電極4、5を完成させた。

【0023】比較のために、第2の焼結金属層4b、5bを形成せずに、第1の焼結金属層の厚みを8.0μmとしたことを除いては、上記実施例と同様にして外部電極が形成された積層コンデンサを具体化として用意した。

【0024】上記実施例及び従来例の積層コンデンサ各100個を用意し、以下の要領で耐熱試験を行った。耐熱試験…ガラスエボキシ基板の一方の中間に形成された電極ランド間にそれぞれ接着剤で積層コンデンサを固定し、325°Cの半田の中に5秒間浸漬し、引き上げることにより電極ランドと外部電極を半田により接合した。しかし後、セラミック焼結体のコーナー部分における外部電極に隣接している部分の外観を観察した。また、その部分を研磨し、端面を顕微鏡で観察し、セラミ

々焼結体におけるクラックの発生を評価した。

【0025】上記耐熱試験において、従来例では、100個の積層コンデンサ当たり25個にクラックが発生したのにに対し、実施例の積層コンデンサではクラックの発生は皆無であった。

【0026】従って、本実施例の積層コンデンサ1によれば、ボーラスな第2の焼結金属層4b, 5bが形成されており、かつ該ボーラスな焼結金属層4b, 5bの外表面に直接メッキ層4c, 5cが形成されているためボーラスな焼結金属層4b, 5bの空隙率の低下が生じずに、上記のように熱衝撃を緩和し得ることがわかる。

【0027】次に、第1の焼結金属層4a, 5a及び第2の焼結金属層4b, 5bをA gを主成分金属として副成分としてのP dの含有割合を変えることにより、第1

の焼結金属層4a, 5a及び第2の焼結金属層4b, 5bの空隙率を変化させ、種々の積層コンデンサを得た。このようにして得られた積層コンデンサを上記と同様に耐熱試験し、評価した。さらに、各積層コンデンサについて、耐温負荷試験を行った。

【0028】耐温負荷試験…70°C及び相対湿度95%の環境のもとで積層コンデンサに25Vの電圧を100時間印加し、試験後の積層コンデンサにおける絶縁抵抗が所定の値より低い場合、耐温負荷試験における耐温不良と判断した。

【0029】結果を下記の表1に示す。

【0030】

【表1】

No.	第1の焼結金属層	第2の焼結金属層	耐熱試験	耐温負荷試験
1	10%	10%	23/100	0/100
2	10%	15%	10/100	0/100
3	10%	20%	0/100	0/100
4	10%	25%	0/100	0/100
5	10%	30%	0/100	0/100
6	10%	35%	0/100	0/100
7	10%	40%	0/100	8/100
8	15%	20%	0/100	7/100
9	15%	35%	0/100	13/100

【0031】表1から明らかのように、第1の焼結金属層4a, 5aの空隙率が15%の場合には、耐温不良が発生していた。また、第1の焼結金属層4a, 5aの空隙率が10%の場合でも、第2の焼結金属層4b, 5bの空隙率が15%以下の場合には、上記耐熱試験において不良が発生した。また、第2の焼結金属層4b, 5bの空隙率が40%の場合には、耐温負荷試験において不良が発生した。従って、第1の焼結金属層の空隙率は10%以下とすることが必要であり、第2の焼結金属層4b, 5bの空隙率は20~35%の範囲とすればよいことがわかる。

【0032】なお、上記実験例では、第1, 第2の焼結金属層を構成する主成分としての金属材料としてA gを用いたが、A g以外の他の導電性材料、例えばC uなどを用いてもよい。

【0033】また、上記実験例では、積層コンデンサを例にとり説明したが、本発明は、積層コンデンサ以外のチップ型セラミック電子部品、例えばサーミスター、抵抗、パリスター、圧電共振子などに適用することができる。

【0034】次に、上記実験例における表1の試料N o. 4と同様にして、但し第1の焼結金属層及び第2の焼結金属層の厚みを下記の表2に示すように変更したこ

とを除いては、上記と同様にして積層コンデンサを作製し、半田の温度を325°Cから375°Cに変更したことと除いては、上記と同様にして耐熱試験を行った。結果を下記の表2に示す。

【0035】

【表2】

第1の焼結金属層	第2の焼結金属層	耐熱試験
50 μm	10 μm	23/100
50 μm	20 μm	7/100
50 μm	30 μm	0/100
50 μm	40 μm	0/100
50 μm	60 μm	0/100

【0036】表2から明らかのように、第2の焼結金属層の厚みが30 μm以上の場合には、より厳しい耐熱試験下でも耐温不良は発生しなかった。さらに、第1, 第2の焼結金属層の厚みの比率を下記の表3に示すように変更したことを除いては、表1の試料N o. 4と同様にして積層コンデンサを作製した。なお、第1, 第2の焼結金属層の厚みの合計は80 μmとした。このようにして得られた積層コンデンサについて、上述した375°Cにおける耐熱試験を行った。結果を下記の表3にあわ

せて示す。

【0037】

【表3】

厚み比率 厚み比 厚み比	耐熱試験 不良個数
3:6 3:6	0/100
5:5	0/100
6:4	0/100
7:3	6/100
8:2	21/100

【0038】表3から明らかのように、第1、第2の焼結金属層の合計厚みに対し、第2の焼結金属層の厚みが40%以上の場合には、より厳しい耐熱試験下でも耐熱不良は発生しなかった。

【0039】

【発明の効果】本発明に係るセラミック電子部品では、空隙率が10%以上の緻密な第1の焼結金属層上に、空隙率が20~35%のポーラスな第2の焼結金属層が形成されており、第2の焼結金属層上に直接メッキ層が形成されている。従って、ポーラスな焼結金属層上に直接メッキ層が形成されており、第2の焼結金属層の空隙率の低下が生じ難いので、例えば半田付け時に外部電極表面に熱衝撃が加わったとしても、該熱衝撃がポーラスな第2の焼結金属層により緩和される。よって、熱衝撃によるセラミック焼結体のクラックを抑制することができる。

【0040】また、第2の焼結金属層はポーラスであるが、第1の焼結金属層が緻密であるため、セラミック焼

結体内への湿気の侵入が抑制され、さらに上記クラックの発生の抑制によっても湿気の侵入が抑制される。よって、セラミック電子部品の耐湿性を損なうことがない。

【0041】よって、本発明によれば、表面実装された電子部品として上記のように実装時の熱衝撃を緩和することができ、かつ耐湿性を損なうことがない。信頼性に優れたチップ型セラミック電子部品を提供することが可能となる。

【0042】ポーラスな焼結金属層の厚みが30μm以上の場合には、ポーラスな第2の焼結金属層による熱衝撃緩和効果をより一層高めることができる。第1、第2の焼結金属層の合計厚みに対し、ポーラスな第2の焼結金属層の厚みが40%以上の場合には、同様に、第2の焼結金属層による熱衝撃緩和効果をより一層高めることができる。

【図面の簡単な説明】

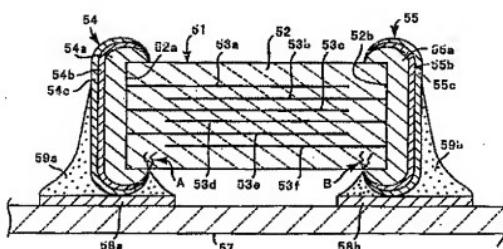
【図1】(a)及び(b)は、本発明の一実施例に係る積層コンデンサを説明するための断面図及び要部を拡大して示す部分切欠断面図。

【図2】従来の積層コンデンサが基板上に実装されている状態を説明するための部分切欠断面図。

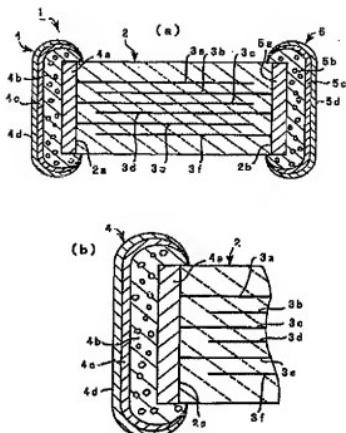
【符号の説明】

- 1…積層コンデンサ
- 2…セラミック焼結体
- 2a, 2b…第1、第2の焼結
- 3a~3f…内部電極
- 4, 5…第1、第2の外部電極
- 4a, 5a…第1の焼結金属層
- 4b, 5b…ポーラスな第2の焼結金属層
- 4c, 5c…第1のメッキ層
- 4d, 5d…第2のメッキ層

【図2】



【図1】



フロントページの続き

(72)発明者 川端 和昭
京都府長岡市天神二丁目26番10号 株式
会社村田製作所内
(72)発明者 米田 康信
京都府長岡市天神二丁目26番10号 株式
会社村田製作所内

Fターム(参考) 5E001 AB03 AF06 AH01 AH07 AJ03
5E082 AA01 AB03 BC19 BC33 EE04
EE23 EE35 FG26 GG10 GG11
GG25 GG28 JJ03 JJ12 JJ23
PP09 PP10